

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] When this invention is used more in detail about the etching method of a silicon wafer as the etching method for forming the thin-walled part in a semiconductor pressure sensor or a semiconductor acceleration sensor, it is suitable.

[0002]

[Description of the Prior Art] There is the method of controlling the right voltage impressed to the etched field of a wafer by making a silicon wafer into the method of *****ing with sufficient repeatability (JP,8-264504,A). As shown in drawing 22, after forming the mask material 61 in a silicon wafer 60 in detail, as shown in drawing 23, it floods with alkali etching liquid, such as KOH, right voltage is impressed to an etched field at the time of the etching start with unstable solution temperature, and an end, silicon is anodized, and a crevice 62 is formed. If it does in this way, the variation factor of the amount of etching (thickness) is removed, and solution temperature can etch the silicon of the specified quantity with sufficient repeatability in the stable state.

[0003]

[Problem(s) to be Solved by the Invention] However, in order to be dependent on the temperature distribution of the etching reagent on the front face of a wafer about the amount distribution of etching within a wafer side, there is a problem of producing the amount variation of etching in the center section and the periphery section of a wafer. In case it *****s especially under an elevated temperature, according to a solution temperature distribution, the amount variation of etching will become large.

[0004] Then, the purpose of this invention reduces the amount variation of etching of a wafer center section and the periphery section, and is to offer the etching method which can make high thickness precision of the thin-walled part in a wafer side.

[0005]

[Means for Solving the Problem] [whether according to invention according to claim 1, voltage is impressed in the state where the silicon wafer was immersed in the etching reagent, and] Voltage on which etching advances is impressed and etching is performed from one field of a silicon wafer. a silicon wafer a part Or the process which forms a crevice in a field, The process which impresses right voltage to a silicon wafer in the state where the silicon wafer was similarly immersed in the etching reagent in front of the aforementioned process or in either [at least] the back, and anodizes silicon, The amount of etching within a field is controlled by offsetting the inclination of the amount distribution of etching within the wafer side in each process.

[0006] More specifically, like, in case [according to claim 2] anodic oxidation is performed, the electrode for electric supply is arranged only in the periphery section of a silicon wafer. moreover -- being according to claim 3 -- like -- the inside of the stirring intensity of the etching reagent for etching, the applied voltage in the case of anodic oxidation, and anodic oxidation time -- any one is adjusted at least

[0007] That is, if the electrode 72 for electric supply is arranged to the circumference of the chip formation field 71 and 1 ***** of whole wafer surfaces is equally made it while arranging the electrode 70 for electric supply in the wafer periphery section like drawing 14 and 15, as shown in drawing 16 As the amount distribution of etching in a wafer side is a flat and it is shown in drawing 17 at the time of anodic oxidation As for the amount of etching in a wafer side, there is little periphery section at the time of etching (except for the time of anodic oxidation), consequently as shown in drawing 18, the total amount of etching in a wafer side has little periphery section. On the other hand, if the electrode 9 for electric supply is arranged only in the wafer periphery section and only the periphery section of a wafer impresses voltage to it for example, as shown in drawing 6 and 7, as shown in drawing 19 As the periphery section of the amount [of etching] in a wafer side increases at the time of anodic oxidation and it is shown in drawing 20 As for the amount of etching in a wafer side, there is little periphery section at the time of etching (except for the time of anodic oxidation), consequently as shown in drawing 21, the total amount distribution of etching in a wafer side becomes a flat.

[0008] Thus, while devising the electric supply method so that a difference may arise in applied voltage in the center section and the periphery section of a wafer in case it anodizes paying attention to an etching rate changing with applied voltage in case silicon is anodized, the amount variation of etching is offset by devising the stirring intensity of an etching reagent, the applied voltage in the case of anodic oxidation, anodic oxidation time, etc. Consequently, the amount variation of etching of a

wafer center section and the periphery section is reduced, and thickness precision of the thin-walled part in a wafer side can be made high.

[0009]

[Embodiments of the Invention] Hereafter, the gestalt of the operation which materialized this invention is explained according to a drawing. This operation gestalt is materialized to the semiconductor pressure sensor which used the piezoresistance layer.

[0010] The cross section of a semiconductor pressure sensor is shown in drawing 1. (110) The N type epitaxial layer 2 with a thickness of 10 micrometers is formed in the P type silicon substrate 1 of a field direction at the whole surface, and the semiconductor substrate 3 is constituted by this layered product. The crevice 4 which carries out opening to the whole surface is formed in the P type silicon substrate 1, and the thin-walled part 5 consists of base 4a of this crevice 4. This thin-walled part 5 serves as a sensor diaphragm. Moreover, this crevice 4 is formed by etching.

[0011] It sets to drawing 1 and is P+ in the N type epitaxial layer 2. The type impurity diffusion layer 6 is formed and it is this P+. It becomes a piezoresistance for the type impurity diffusion layer 6 sensing distortion. The silicon oxide 7 is formed in the front face of the N type epitaxial layer 2. P+ The type impurity diffusion layer 6 is electrically drawn out by the aluminum wiring 8 at the front-face side of a silicon oxide 7.

[0012] The schematic diagram of the etching system for forming a thin-walled part (diaphragm) 5 in the semiconductor substrate 3 in a wafer state is shown in drawing 2. Polytetrafluoroethylene resin etc. is used, an etching system is equipped with a pedestal 14, the tubed frame 15, and a lid 16, and they are [these members are high insulation and] excellent in adiabaticity and corrosion resistance. On the pedestal 14, while the inferior-surface-of-tongue opening edge of a frame 15 is arranged by O ring 17 in the state which can be held in the state of fluid-tight, as for the upper surface opening edge of a frame 15, the lid 16 is attached in the state of fluid-tight by O ring 18. An airtight container is constituted by this pedestal 14, frame 15, and lid 16, and the 32wt%KOH solution 19 as alkali anisotropic etching liquid can be arranged now in this container.

[0013] Upper surface 14a of a pedestal 14 is a smooth substrate installation side, and the semiconductor substrate 3 of the wafer state which is going to etch into this upper surface 14a is arranged. At this time, the P type silicon substrate 1 of a silicon wafer (semiconductor substrate 3) turned to the top, and the front face of the P type silicon substrate 1 is in contact with 32wt%KOH solution 19. Moreover, the electrode 9 (refer to drawing 1) for electric supply of a silicon wafer (semiconductor substrate 3) is close with upper surface 14a of a pedestal 14.

[0014] The crevice 20 for negative pressure room formation is annularly established in the periphery section of upper surface (substrate installation side) 14a in a pedestal 14. The ring-like packing 21 fixed in the inferior surface of tongue of a frame 15, and this packing 21 has plugged up opening of the crevice 20 for negative pressure room formation with the state where it faced across the periphery edge of a silicon wafer (semiconductor substrate 3). And by carrying out vacuum length of the inside of the crevice 20 for negative pressure room formation with the vacuum pump which is not illustrated, packing 21 is attracted and a silicon wafer 3 is fixed to move impotentia. Thus, masking to the etching side in the periphery edge of a silicon wafer 3 is performed by packing 21. Moreover, suction fixation of a pedestal 14 and the frame 15 is carried out by this vacuum length.

[0015] As shown in drawing 3, the path 23 which opens the upper surface (substrate installation side) 14a and the crevice 20 for negative pressure room formation for free passage is formed in a pedestal 14, and the anode plate electrode 24 is arranged at this path 23. The end of the anode plate electrode 24 is connected with the pin 26 with the nut 25 in the crevice 20 for negative pressure room formation. A pin 26 is exposed to the exterior of a pedestal 14 by the run through-hole 27, and the airtight is held by O ring 28. In the state where the nose of cam of the anode plate electrode 24 does not have a silicon wafer (semiconductor substrate 3), only distance L is projected from upper surface 14a of a pedestal 14, and in the state where the silicon wafer 3 has been arranged to upper surface 14a of a pedestal 14, the anode plate electrode 24 bends, as a two-dot chain line shows to drawing 3. Thus, the anode plate electrode 24 contacts the electrode 9 (refer to drawing 1) for electric supply of a silicon wafer 3 with fixed contact pressure, and impression of voltage of it is attained at a silicon wafer (semiconductor substrate 3).

[0016] The supply path 29 which results in a frame 15 is established in a lid 16, and pure water can supply [32wt%KOH solution / nitrogen gas] now through a bulb 32 in drawing 2 at this supply path 29 through a bulb 31 through a bulb 30, respectively. Moreover, the eccrisis path 33 which opens the interior and the exterior for free passage is established in a lid 16, and opening of the end of this eccrisis path 33 is carried out to the pars basilaris ossis occipitalis in a frame 15 in the pipe 34. And KOH solution 19, pure water, etc. in a frame 15 can be discharged now through this pipe 34 and the eccrisis path 33.

[0017] It is arranged in the state where the cylindrical cathode electrode 35 penetrates a lid 16, and the airtight is held with O ring 36. This cathode electrode 35 is prolonged to the predetermined depth to the 32wt%KOH solution 19 in a frame 15. Between the cathode electrode 35 and the anode plate electrode 24, the series connection of DC power supply 37, an ammeter 38, and the contact 39 is carried out. And voltage is applied to the cathode electrode 35 and the anode plate electrode 24 by DC power supply 37 by the closed circuit of a contact 39. At this time, the current which flows from a silicon wafer (semiconductor substrate 3) to the cathode electrode 35 with an ammeter 38 is detected.

[0018] It is arranged in the state where a heater 40 penetrates a lid 16, and the airtight is held with O ring 41. By energizing this heater 40, a heater 40 generates heat and the temperature up of the 32wt%KOH solution 19 can be carried out. It is

arranged in the state where a temperature sensor 42 penetrates a lid 16, and the airtight is held with O ring 43. The temperature of KOH solution 19 is detected by this temperature sensor 42. Supervising the temperature of the KOH solution 19 by the temperature sensor 42, it carries out energization control of the heater 40, and a temperature controller 44 holds the temperature of KOH solution 19 at 110 degrees C.

[0019] The stirring wings 45 are arranged in a frame 15, the stirring wings 45 rotate through distributor shaft coupling 47 by the motor 46 attached in the lid 16, and KOH solution 19 is stirred. As for the stirring wings 45, the airtight is held with O ring 48.

[0020] The main controller 49 detects energization current as if the start of etching is detected with the signal from the start switch 50 with both the signals from an ammeter 38. Furthermore, the main controller 49 carries out drive control of a contact 39, a motor 46, a temperature controller 44, and the bulbs 30, 31, and 32. The main controller 49 is constituted centering on the microcomputer.

[0021] Next, the manufacture method of this semiconductor pressure sensor is explained. Drawing 4 is process explanatory drawing of etching processing, and shows the impression state of voltage to drawing 5. The manufacturing process is explained according to this drawing 4 and 5.

[0022] First, the P type silicon substrate (silicon wafer) 1 of the field (110) of drawing 22 is prepared. This wafer is specific resistance 10 - 20 ohm-cm. The N type epitaxial layer 2 is grown up into the whole surface of this P type silicon substrate (silicon wafer) 1, and it is P+ to the periphery section of the front face of the N type epitaxial layer 2 further. The electrode 9 for electric supply (metal membrane) is formed through a layer. The electrode 9 for electric supply is formed only in the periphery section (part without an element) of the front face (circuit side) of a silicon wafer (semiconductor substrate 3), and it enables it to energize by low resistance (2ohms or less) in this area at this time, as shown in drawing 6 and 7. Moreover, resistance of the silicon substrate 1 between a center section and the periphery section of a silicon wafer 3 is set to about 10-100ohms. That is, dummy chip area is formed in the center section of the silicon wafer 3, electrode 9a for amplitude measurements is formed in this dummy chip area, and resistance between the center of the P type silicon substrate 1 and the periphery section is measured by applying a probe to electrode 9a for amplitude measurements, and the electrode 9 for electric supply. In addition, there should just be at least one electrode 9a for amplitude measurements (dummy chip area) (one place).

[0023] Furthermore, the mask material 10 (refer to drawing 1) is arranged to the predetermined field in the front face of the P type silicon substrate 1. A silicon nitride (SiN) is used as mask material 10. Thus, the silicon wafer before etching (semiconductor substrate 3) is prepared. Many crevices 4 for every chip formation field are formed of future processings to this silicon wafer 3.

[0024] And a silicon wafer 3 is set in the etching system shown in drawing 2 (timing of t1 of drawing 4). Under the present circumstances, wafer side (etched field) It turns upward and enables it to supply electric power from the 2-4 periphery sections of a wafer. That is, as shown in drawing 2, a silicon wafer 3 is arranged to upper surface 14a of a pedestal 14, vacuum length of the inside of the crevice 20 for negative pressure room formation is carried out, and a silicon wafer 3 is fixed by packing 21.

[0025] From this state, if ON operation of the start switch 50 is carried out, the main controller 49 will close the contact 39 of drawing 2, and will start voltage impression (timing of t2 of drawing 4). Then, the main controller 49 is in the state which impressed right voltage to the P type silicon wafer 1, opens the bulb 30 of drawing 2, and moves to a processing tub the KOH solution (etching reagent) beforehand heated by predetermined temperature (timing of t3 of drawing 4). That is, as shown in drawing 8, the etching reagent which carried out remaining heat in the preheating tub is put in in the container of drawing 2. Although the solution temperature of KOH solution 19 falls in early stages of etching and the degree changes a little for every processing by this (every one wafer), since anodic oxidation of the right voltage is impressed and carried out to the silicon wafer 3 in early stages of etching, as shown in drawing 5, advance of etching in the meantime (anodic oxidation period T1 of drawing 5) is suppressed. In this period T1, although anodic oxidation of the etching side is carried out, as shown in drawing 19, an effective voltage becomes [the wafer periphery section by which the electrode 9 for electric supply has been arranged] high rather than a center section, and etching advances from the part of others [section / wafer periphery].

[0026] then, a predetermined time (T1 of drawing 4) until solution temperature is stabilized by the main controller 49 -- this state is maintained And if a predetermined time T1 passes (drawing 4, 5 timing oft4), the main controller 49 will open the contact 39 of drawing 2, and will end voltage impression. After voltage impression is completed, silicon *****s. At this time, as the heat from a heater 40 cannot get across to the periphery section of a silicon wafer 3 easily and it is shown in drawing 20, the temperature of an etching reagent becomes [the direction of the periphery section] low, and advance of etching is slower than a wafer center section compared with a wafer center section. That is, as shown in drawing 2, in order that the heat with which packing 21 (sealant) is pushed and a heater 40 emits the periphery section of a silicon wafer 3 may escape through packing 21 (sealant), the periphery section of a silicon wafer 3 has a slow advance of etching compared with a center section.

[0027] In addition, although the etching period T2 did not impress voltage, it may impress voltage on which not only this but etching advances, and may perform etching from one field of a silicon wafer 3.

[0028] Next, the main controller 49 closes the contact 39 of drawing 2 to drawing 4 and 5 timing oft5, starts voltage impression, opens a contact 39 to the timing of t7 of drawing 4, and ends voltage impression. Anodic oxidation of the silicon

is carried out in the period T3 of t5-t6 of the early stages of this voltage impression, i.e., drawing 4.

[0029] Moreover, to the timing of t6 of drawing 4, the main controller 49 opens the bulb 31 of drawing 2, and pours in pure water. That is, in the state where silicon was anodized, pure water is poured in into a tub, and KOH solution (etching reagent) 19 is diluted and cooled. And as mentioned above, after stopping voltage impression to the timing of t7 of drawing 4 and ending etching, each diaphragm ** within a wafer side obtains the silicon wafer 3 used as the desired value.

[0030] In these process, when the equal electric supply method by the electrodes 70 and 72 for electric supply of drawing 15 is used, at an anodic oxidation process, it *****s equally and the distribution of the amount of etching to a silicon wafer shows the inclination for the dirty amount of the periphery section to be small, by the etching process. On the other hand, anodic oxidation conditions which may offset the amount distribution of etching since anodic oxidation and etching each process show the inclination for the amount distribution of etching to be reverse when drawing 6 and the electric supply method of 7 are adopted (applied voltage, time) And by setting up a stirring wings rotational frequency, the amount variation of etching can be reduced and an accurate diaphragm can be formed.

[0031] The conditioning which offsets this amount distribution of etching is explained in detail below. The relation between applied voltage and an etching rate is shown in drawing 9, and an etching rate changes with applied voltage. In a field 1 volts or more, voltage increases little by little by elevation of voltage, although anodic oxidation of the Si is carried out and a dirty rate falls sharply.

[0032] The measurement result of the amount of etching in each position within the wafer side at the time of changing the anodic oxidation time when adopting drawing 6 and the electric supply method of 7 as drawing 10, and using the P type silicon of specific resistance 10 - 20 ohm-cm for it is shown. Anodic oxidation time is 10 minutes, 15 minutes, and 20 minutes.

[0033] The measurement result of the amount of etching in each position within the wafer side at the time of changing the anodic oxidation voltage when adopting drawing 6 and the electric supply method of 7 as drawing 11, and using the P type silicon of specific resistance 10 - 20 ohm-cm for it is shown. Anodic oxidation voltage is 5 volts, 7 volts, and 9 volts.

[0034] Although the amount of etching at the time of anodic oxidation changes with the time and voltage of anodic oxidation from this drawing 10 and 11, it turns out that the inclination for the amount of etching of the wafer periphery section to be large does not change. Since this has the strong resistance inside a wafer, to the wafer periphery section near the electrode 9 for electric supply, in the center section, a voltage drop arises, and as shown in drawing 9, the amount of etching of the silicon which runs in the case of anodic oxidation depends it on a bird clapper small.

[0035] The measurement result of the amount of etching in each position within the wafer side at the time of changing the rotational frequency of the stirring wings 45 when adopting drawing 6 and the electric supply method of 7 as drawing 12, and using the P type silicon of specific resistance 10 - 20 ohm-cm for it is shown. Although the amount of etching in a wafer side changes with rotational frequencies of the stirring wings 45 from this drawing 12, it has set to each rotational frequency and, also in a gap, it turns out that the inclination for the amount of etching of the wafer periphery section to be small does not change.

[0036] Thus, since these inclinations about the amount distribution of etching at the rotational frequency of anodic oxidation time, anodic oxidation voltage, and the stirring wings 45 are reproducible, they can make more the amount (thickness) distribution of etching within a wafer side into homogeneity with the combination of anodic oxidation conditions and stirring conditions.

[0037] It is as follows when these things are summarized. As the amount distribution of etching in a wafer side is a flat and it is shown in drawing 17 at the time of anodic oxidation, as for the amount of etching in a wafer side, there is little periphery section at the time of etching (except for the time of anodic oxidation), consequently when voltage impression of the whole wafer surface is equally carried out like drawing 14 and 15, as shown in drawing 16, as shown in drawing 18, the total amount of etching in a wafer side has little periphery section. On the other hand, if only the periphery section of a wafer impresses voltage like the example of drawing 6 and the book shown in 7, as shown in drawing 19 As the periphery section of the amount [of etching] in a wafer side increases at the time of anodic oxidation and it is shown in drawing 20 As for the amount of etching in a wafer side, there is little periphery section at the time of etching (except for the time of anodic oxidation), consequently as shown in drawing 21, the total amount distribution of etching in a wafer side becomes a flat.

[0038] Hereafter, it explains, mentioning a concrete numeric value. The amount distribution of etching is made to a flat by making anodic oxidation voltage into 9v, making etching time T2 into 29 minutes for the time T1 (referring to drawing 4) for 15 minutes, making anodic oxidation time T3 at the time of an end into 3 minutes, being referred to as rotational frequency 300rpm of stirring wings, and controlling the voltage and time of anodic oxidation, and the stirring wings rotational frequency at the time of etching. In addition, about T3, it is almost uninfluential to advance of etching.

[0039] Here, the ** tone of the solution temperature was carried out to 110**0.1 degrees C, using 32wt%KOH as an etching reagent. the above-mentioned conditions -- origin -- thick -- a 300-micrometer silicon wafer -- etching -- the amount distribution of etching of each diaphragm in a wafer at the time is shown in drawing 13 the bottom In drawing 13, a solid line shows this operation form and a dashed line shows the example of comparison using drawing 14 and the equal electric supply method of 15. Moreover, in the example of comparison shown with a dashed line, it is stirring rotational frequency 300rpm for etching time 29 minutes for the anodic oxidation voltage of 5v, and anodic oxidation time 15 minutes. In this operation form shown as a solid line, it is stirring rotational frequency 300rpm for etching time 29 minutes for the anodic oxidation voltage of 9v, and anodic oxidation time 15 minutes.

[0040] This drawing 13 shows that the amount distribution of etching is [the direction of this operation form] a flat compared with the example of comparison. Consequently, with this operation form, the amount variation of etching can be suppressed to **1 micrometer or less.

[0041] In addition, although it was the case where flat-ization of the amount distribution of etching in a wafer side was attained by changing only anodic oxidation voltage in the case of drawing 13 Only anodic oxidation time may be changed, only the rotational frequency of the stirring wings 45 may be changed, two of the rotational frequencies of anodic oxidation voltage, anodic oxidation time, and the stirring wings 45 may be changed, or three elements may attain flat-ization of the amount distribution of etching in a wafer side by being strange.

[0042] Thus, the gestalt of this operation has the following feature.

(b) [whether voltage is impressed in the state where the silicon wafer 3 was immersed in the etching reagent, and] Voltage on which etching advances is impressed and etching is performed from one field of a silicon wafer 3. a silicon wafer 3 a part Or the process which forms a crevice 4 in a field, The process which impresses right voltage to a silicon wafer 3 in the state where the silicon wafer 3 was similarly immersed in the etching reagent in front of the aforementioned process or in either [at least] the back, and anodizes silicon, The amount of etching within a field was controlled by offsetting the inclination of the amount distribution of etching within the wafer side in each process. Consequently, the amount variation of etching of a wafer center section and the periphery section is reduced, and thickness precision of the thin-walled part in a wafer side can be made high.

[0043] More specifically, in case it anodizes, the electrode 9 for electric supply is arranged only in the periphery section of a silicon wafer and the amount variation of etching at the time of etching is offset to make applied voltage produce a difference in the center section and the periphery section of a wafer.

[0044] Moreover, the amount of etching within a wafer side (thickness) Since variation arises by the solution temperature distribution on the wafer at the time of etching, the amount of etching in a wafer side can be equalized more by [of the stirring wings rotational frequency for etching (stirring intensity of an etching reagent), the applied voltage in the case of anodic oxidation, and the etching time] adjusting any one at least.

[0045] Although the case where the diaphragm of a semiconductor pressure sensor was formed in old explanation was explained, it can use, when forming the thin-walled part (beam section) of a semiconductor acceleration sensor.

[0046] Moreover, although it was the case where P layers in the silicon wafer which has a PN junction in old explanation were *****ed, when etching by preparing the electrode which is well-informed about an etched field on a silicon wafer without a PN junction, and impressing right voltage to the etching side of a silicon wafer through the electrode concerned, you may apply.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111675

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3063

H 0 1 L 21/306

L

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願平9-268939

(22)出願日 平成9年(1997)10月1日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 阿部 ▲よし▼次

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72)発明者 田中 浩

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

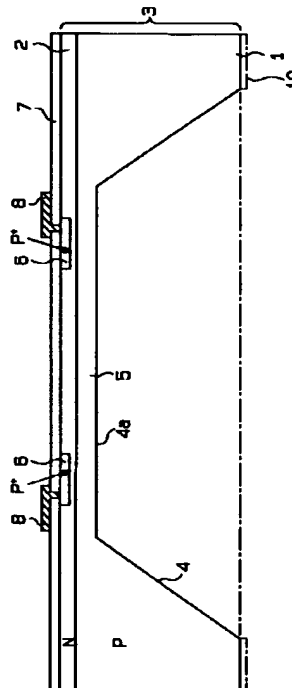
(74)代理人 弁理士 恩田 博宣

(54)【発明の名称】 シリコンウエハのエッチング方法

(57)【要約】

【課題】ウエハ中央部と外周部のエッチング量バラツキを低減し、ウエハ面内のダイヤフラム厚精度の高いエッチング方法を提供する。

【解決手段】シリコンウエハ3をエッチング液19に浸漬した状態で電圧を印加しないか、あるいは、エッチングが進行するような電圧を印加してシリコンウエハ3の一方の面からエッチングを行いシリコンウエハ3の一部領域に凹部4を形成する工程と、前記工程の前および後において同じくシリコンウエハ3をエッチング液に浸漬した状態でシリコンウエハ3に正電圧を印加してシリコンを陽極酸化する工程とを備えている。それぞれの工程におけるウエハ面内のエッチング量分布の傾向を相殺することにより、面内のエッチング量を制御する。



【特許請求の範囲】

【請求項1】 シリコンウエハをエッチング液に浸漬した状態で電圧を印加しないか、あるいは、エッチングが進行するような電圧を印加してシリコンウエハの一方の面からエッチングを行いシリコンウエハの一部領域に凹部を形成する工程と、

前記工程の前または後の少なくとも一方において同じくシリコンウエハをエッチング液に浸漬した状態でシリコンウエハに正電圧を印加してシリコンを陽極酸化する工程とを備えたシリコンウエハのエッチング方法であつて、

それぞれの工程におけるウエハ面内のエッチング量分布の傾向を相殺することにより、面内のエッチング量を制御するようにしたことを特徴とするシリコンウエハのエッチング方法。

【請求項2】 陽極酸化を行う際においてシリコンウエハの外周部にのみ給電用電極を配置したことを特徴とする請求項1に記載のシリコンウエハのエッチング方法。

【請求項3】 エッチングのためのエッチング液の攪拌強度、陽極酸化の際の印加電圧、陽極酸化時間のうちの少なくともいずれか1つを調整したことを特徴とする請求項2に記載のシリコンウエハのエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコンウエハのエッチング方法に関し、より詳しくは、例えば、半導体圧力センサや半導体加速度センサにおける薄肉部を形成するためのエッチング方法として用いると好適なものである。

【0002】

【従来の技術】シリコンウエハを繰り返し精度よくエッチングする方法として、ウエハの被エッチング面に印加する正電圧を制御する方法がある（特開平8-264504号公報）。詳しくは、図22に示すように、シリコンウエハ60にマスク材61を形成した後、図23に示すように、KOH等のアルカリエッチング液に浸漬し、液温が不安定なエッチング開始時および終了時に被エッチング面に正電圧を印加し、シリコンを陽極酸化して凹部62を形成するものである。このようにすると、エッチング量（厚さ）のバラツキ要因を取り除き、液温が安定な状態で所定量のシリコンを繰り返し精度よくエッチングできる。

【0003】

【発明が解決しようとする課題】しかしながら、ウエハ面内のエッチング量分布に関しては、ウエハ表面でのエッチング液の温度分布に依存するため、ウエハの中央部と外周部でエッチング量バラツキを生じるという問題がある。特に高温下でエッチングする際には、液温分布に応じエッチング量バラツキが大きくなってしまふ。

【0004】そこで、この発明の目的は、ウエハ中央部

と外周部のエッチング量バラツキを低減し、ウエハ面内での薄肉部の厚さ精度を高くすることができるエッチング方法を提供することにある。

【0005】

【課題を解決するための手段】請求項1に記載の発明によれば、シリコンウエハをエッチング液に浸漬した状態で電圧を印加しないか、あるいは、エッチングが進行するような電圧を印加してシリコンウエハの一方の面からエッチングを行いシリコンウエハの一部領域に凹部を形成する工程と、前記工程の前または後の少なくとも一方において同じくシリコンウエハをエッチング液に浸漬した状態でシリコンウエハに正電圧を印加してシリコンを陽極酸化する工程との、それぞれの工程におけるウエハ面内のエッチング量分布の傾向を相殺することにより、面内のエッチング量が制御される。

【0006】より具体的には、請求項2に記載のように、陽極酸化を行う際においてシリコンウエハの外周部にのみ給電用電極を配置する。また、請求項3に記載のように、エッチングのためのエッチング液の攪拌強度、陽極酸化の際の印加電圧、陽極酸化時間のうちの少なくともいずれか1つを調整する。

【0007】つまり、図14、15のようにウエハ外周部に給電用電極70を配置するとともにチップ形成領域71の周囲に給電用電極72を配置してウエハ全面が均等に1圧印加されていると、図16に示すように、陽極酸化時においてウエハ面内でのエッチング量分布はフラットであり、図17に示すように、エッチング時（陽極酸化時を除く）においてウエハ面内でのエッチング量は外周部が少なく、その結果、図18に示すように、ウエハ面内でのトータルのエッチング量は外周部が少ない。これに対し、例えば、図6、7に示すようにウエハ外周部にのみ給電用電極9を配置してウエハの外周部のみ電圧を印加すると、図19に示すように、陽極酸化時においてウエハ面内でのエッチング量は外周部が多くなり、図20に示すように、エッチング時（陽極酸化時を除く）においてウエハ面内でのエッチング量は外周部が少なく、その結果、図21に示すように、ウエハ面内でのトータルのエッチング量分布はフラットになる。

【0008】このようにして、シリコンを陽極酸化する際に印加電圧によりエッチングレートが変化することに着目し、陽極酸化する際、ウエハの中央部と外周部で印加電圧に差異が生じるよう給電方法を工夫するとともに、エッチング液の攪拌強度、陽極酸化の際の印加電圧、陽極酸化時間等を工夫することにより、エッチング量バラツキを相殺する。その結果、ウエハ中央部と外周部のエッチング量バラツキが低減され、ウエハ面内での薄肉部の厚さ精度を高くすることができる。

【0009】

【発明の実施の形態】以下、この発明を具体化した実施の形態を図面に従って説明する。本実施形態はビエゾ抵

3

抗層を用いた半導体圧力センサに具体化したものである。

【0010】図1には半導体圧力センサの断面を示す。(110)面方位のP型シリコン基板1にはその一面に厚さ10 μ mのN型エピタキシャル層2が形成され、この積層体により半導体基板3が構成されている。P型シリコン基板1には一面に開口する凹部4が形成され、この凹部4の底面4aにて薄肉部5が構成されている。この薄肉部5がセンサダイヤフラムとなる。また、この凹部4はエッチングにより形成したものである。

【0011】図1においてN型エピタキシャル層2にはP⁺型不純物拡散層6が形成され、このP⁺型不純物拡散層6が歪みを検知するためのピエゾ抵抗となる。N型エピタキシャル層2の表面にはシリコン酸化膜7が形成されている。P⁺型不純物拡散層6がアルミ配線8にてシリコン酸化膜7の表面側に電気的に引き出されている。

【0012】図2には、ウェハ状態での半導体基板3に薄肉部(ダイヤフラム)5を形成するためのエッチング装置の概略図を示す。エッチング装置は、基台14と筒状の枠体15と蓋体16とを備え、これら部材は4フッ化エチレン樹脂等が用いられ、高絶縁性で、かつ断熱性と耐蝕性に優れている。基台14の上には枠体15の下面開口端がOリング17により液密状態で保持可能な状態で配置されるとともに、枠体15の上面開口端は蓋体16がOリング18により液密状態で取り付けられている。この基台14と枠体15と蓋体16とにより密閉容器が構成され、この容器内にアルカリ異方性エッチング液としての32wt% KOH水溶液19が配置できるようになっている。

【0013】基台14の上面14aは平滑なる基板載置面となっており、この上面14aにエッチングを行おうとするウェハ状態の半導体基板3が配置される。このとき、シリコンウェハ(半導体基板3)のP型シリコン基板1が上を向きP型シリコン基板1の表面が32wt% KOH水溶液19と接している。また、シリコンウェハ(半導体基板3)の給電用電極9(図1参照)が基台14の上面14aと密接している。

【0014】基台14における上面(基板載置面)14aの外周部には負圧室形成用凹部20が環状に設けられている。枠体15の下面にはリング状のバックイン21が固着され、このバックイン21はシリコンウェハ(半導体基板3)の外周縁を挟んだ状態で負圧室形成用凹部20の開口部を塞いでいる。そして、図示しない真空ポンプ等により負圧室形成用凹部20内を真空引きすることにより、バックイン21が吸引されてシリコンウェハ3が移動不能に固定されるようになっている。このように、シリコンウェハ3の外周縁でのエッチング面に対するマスクはバックイン21により行われる。また、この真空引きにより基台14と枠体15とが吸引固定される。

4

【0015】図3に示すように、基台14にはその上面(基板載置面)14aと負圧室形成用凹部20とを連通する通路23が形成され、この通路23には陽極電極24が配置されている。陽極電極24の一端は負圧室形成用凹部20においてナット25によりピン26と連結されている。ピン26は連通孔27により基台14の外部に露出し、かつ、Oリング28により気密が保持されている。陽極電極24の先端は、シリコンウェハ(半導体基板3)の無い状態においては基台14の上面14aから距離だけ突出し、シリコンウェハ3を基台14の上面14aに配置した状態においては陽極電極24は図3に二点鎖線で示すように掘む。このように、陽極電極24はシリコンウェハ3の給電用電極9(図1参照)に一定の接触圧をもって接触してシリコンウェハ(半導体基板3)に電圧が印加可能となる。

【0016】図2において、蓋体16には枠体15内に至る供給通路29が設けられ、この供給通路29にてバルブ30を通して32wt% KOH水溶液が、バルブ31を通して純水が、バルブ32を通して窒素ガスが、それぞれ供給できるようになっている。また、蓋体16には内部と外部を連通する排出通路33が設けられ、この排出通路33の一端はパイプ34にて枠体15内の底部に開口している。そして、このパイプ34および排出通路33を通して枠体15内のKOH水溶液19や純水等が排出できるようになっている。

【0017】棒状の陰極電極35が蓋体16を貫通する状態で配置され、かつ、Oリング36にて気密が保持されている。この陰極電極35は枠体15内の32wt% KOH水溶液19に対し所定深さまで延びている。陰極電極35と陽極電極24との間に、直流電源37と電流計38と接点39とが直列接続されている。そして、接点39の開路により直流電源37にて陰極電極35と陽極電極24に電圧が加えられる。このとき、電流計38によりシリコンウェハ(半導体基板3)から陰極電極35へ流れる電流が検出される。

【0018】ヒータ40が蓋体16を貫通する状態で配置され、かつ、Oリング41にて気密が保持されている。このヒータ40を通電することによりヒータ40が発熱して32wt% KOH水溶液19を昇温することができる。温度センサ42が蓋体16を貫通する状態で配置され、かつ、Oリング43にて気密が保持されている。この温度センサ42によりKOH水溶液19の温度が検出される。温度コントローラ44は温度センサ42によるKOH水溶液19の温度を監視しつつヒータ40を通電制御してKOH水溶液19の温度を110℃に保持する。

【0019】枠体15内には攪拌翼45が配置され、蓋体16に取り付けられたモータ46によりカップリング47を介して攪拌翼45が回転してKOH水溶液19を攪拌する。攪拌翼45はOリング48にて気密が保持さ

れている。

【0020】メインコントローラ49は開始スイッチ50からの信号によりエッチングの開始を検知するとともに電流計38からの信号により通電電流を検知する。さらに、メインコントローラ49は接点39、モータ46、温度コントローラ44、バルブ30、31、32を駆動制御するようになっている。メインコントローラ49はマイコンを中心に構成されている。

【0021】次に、この半導体圧力センサの製造方法を説明していく。図4はエッチング処理の工程説明図であり、図5には電圧の印加状態を示す。この図4、5に従って製造工程を説明していく。

【0022】まず、図22の(110)面のP型シリコン基板(シリコンウエハ)1を用意する。このウエハは比抵抗 $10\sim 20\Omega\cdot\text{cm}$ である。このP型シリコン基板(シリコンウエハ)1の一面にN型エピタキシャル層2を成長させ、さらに、N型エピタキシャル層2の表面の外周部にP⁺層を介して給電用電極(金属膜)9を形成する。このとき、図6、7に示すように、シリコンウエハ(半導体基板3)の表面(回路面)の外周部(素子の無い部位)にのみ給電用電極9を形成し、このエリア内では低抵抗(2Ω 以下)で通電できるようにする。また、シリコンウエハ3の中央部と外周部との間のシリコン基板1の抵抗を $10\sim 100\Omega$ 程度にしておく。つまり、シリコンウエハ3の中央部にダミーチップエリアを形成し、このダミーチップエリアに電圧測定用電極9aを形成し、電圧測定用電極9aと給電用電極9にプローブを当てることによりP型シリコン基板1の中心と外周部との間の抵抗を測定する。なお、電圧測定用電極9a(ダミーチップエリア)は、最低一個(一箇所)あればよい。

【0023】さらに、P型シリコン基板1の表面における所定領域にマスク材10(図1参照)を配置する。マスク材10としてはシリコン窒化膜(SiN)が用いられる。このようにして、エッチング前のシリコンウエハ(半導体基板3)を用意する。このシリコンウエハ3に対し以後の処理により各チップ形成領域毎の多数の凹部4が形成される。

【0024】そして、図2に示すエッチング装置に、シリコンウエハ3をセットする(図4のt1のタイミング)。この際、ウエハ裏面(被エッチング面)を上向きにし、かつ、ウエハの外周部2〜4箇所から給電できるようにする。つまり、図2に示すように、シリコンウエハ3を基台14の上面14aに配置し、負圧室形成用凹部20内を真空引きしてパッキン21にてシリコンウエハ3を固定する。

【0025】この状態から、開始スイッチ50がオン操作されると、メインコントローラ49は図2の接点39を閉じ電圧印加を開始する(図4のt2のタイミング)。引き続き、メインコントローラ49は、P型シリ

コンウエハ1に正電圧を印加した状態で、図2のバルブ30を開け、予め所定温度に加熱されたKOH水溶液(エッチング液)を処理槽に移し替える(図4のt3のタイミング)。つまり、図8に示すように、予備加熱槽にて余熱したエッチング液を図2の容器内に入れる。これにより、エッチング初期にはKOH水溶液19の液温が低下し、その度合いが処理毎に(ウエハ1枚毎に)若干変化するが、エッチング初期にはシリコンウエハ3に正電圧が印加され陽極酸化されているので、図5に示すように、その間(図5の陽極酸化期間T1)のエッチングの進行が抑えられる。この期間T1においては、エッチング面は陽極酸化されるが、図19に示すように、給電用電極9が配置されたウエハ外周部が中央部よりも実効電圧が高くなり、ウエハ外周部は他の部位よりエッチングが進行する。

【0026】その後、メインコントローラ49は液温が安定するまでの所定時間(図4のT1)この状態を保つ。そして、メインコントローラ49は所定時間T1が経過すると(図4、5のt4のタイミング)、図2の接点39を開け電圧印加を終了する。電圧印加が終了すると、シリコンがエッチングされる。このとき、シリコンウエハ3の外周部にはヒータ40からの熱が伝わりにくく、図20に示すように、ウエハ中央部よりも外周部の方がエッチング液の温度が低くなり、ウエハ中央部に比べてエッチングの進行が遅い。つまり、図2に示すようにシリコンウエハ3の外周部はパッキン21(シール材)が押しつけられており、ヒータ40の発する熱がパッキン21(シール材)を通して逃げるためにシリコンウエハ3の外周部は中央部に比べてエッチングの進行が遅い。

【0027】なお、エッチング期間T2は、電圧を印加しなかったが、これに限らず、エッチングが進行するような電圧を印加してシリコンウエハ3の一方の面からエッチングを行ってもよい。

【0028】次に、メインコントローラ49は図4、5のt5のタイミングにて図2の接点39を閉じ電圧印加を開始し、図4のt7のタイミングにて接点39を開け電圧印加を終了する。この電圧印加の初期、即ち、図4のt5〜t6の期間T3においてシリコンが陽極酸化される。

【0029】また、図4のt6のタイミングにてメインコントローラ49は図2のバルブ31を開け、純水を注入する。つまり、シリコンを陽極酸化した状態で槽内に純水を注入して、KOH水溶液(エッチング液)19を希釈・冷却する。そして、前述したように図4のt7のタイミングにて電圧印加を停止してエッチングを終了すると、ウエハ面内の各ダイヤフラム厚が所望の値となったシリコンウエハ3を得る。

【0030】これら過程において、図15の給電用電極70、72による均等給電方式を用いた場合には、シリ

コンウエハに対するエッチング量の分布は、陽極酸化工程では均等にエッチングされエッチング工程では外周部のエッチ量が小さい傾向を示す。これに対し、図6、7の給電方式を採用すると陽極酸化・エッチング各工程でエッチング量分布が逆の傾向を示すため、エッチング量分布を相殺し得る陽極酸化条件（印加電圧、時間）および攪拌翼回転数を設定することにより、エッチング量バラツキを低減し、精度のよいダイヤフラムを形成することができる。

【0031】このエッチング量分布を相殺する条件設定について、以下に詳しく説明する。図9には印加電圧とエッチングレートとの関係を示し、印加電圧によりエッチングレートが異なる。電圧が1ボルト以上の領域ではSiが陽極酸化され、エッチレートは大幅に低下するが、電圧の上昇により、少しずつ増加する。

【0032】図10には、図6、7の給電方式を採用し比抵抗 $10\sim 20\Omega\cdot\text{cm}$ のP型シリコンを用いた時における、陽極酸化時間を変えた場合のウエハ面内の各位置でのエッチング量の測定結果を示す。陽極酸化時間は10分、15分、20分である。

【0033】図11には、図6、7の給電方式を採用し比抵抗 $10\sim 20\Omega\cdot\text{cm}$ のP型シリコンを用いた時における、陽極酸化電圧を変えた場合のウエハ面内の各位置でのエッチング量の測定結果を示す。陽極酸化電圧は5ボルト、7ボルト、9ボルトである。

【0034】この図10、11から、陽極酸化時のエッチング量は陽極酸化の時間および電圧により変化するが、ウエハ外周部のエッチング量が大きい傾向は変わらないことが分かる。これは、ウエハ内部の抵抗が大きいため、給電用電極9に近いウエハ外周部に対し、中央部では電圧降下が生じ、図9に示すように、陽極酸化の際に進行するシリコンのエッチング量が小さくなることによる。

【0035】図12には、図6、7の給電方式を採用し比抵抗 $10\sim 20\Omega\cdot\text{cm}$ のP型シリコンを用いた時における、攪拌翼45の回転数を変えた場合のウエハ面内の各位置でのエッチング量の測定結果を示す。この図12から、ウエハ面内でのエッチング量は攪拌翼45の回転数によって異なるが、各回転数においていずれの場合もウエハ外周部のエッチング量が小さい傾向は変わらないことが分かる。

【0036】このように、陽極酸化時間、陽極酸化電圧、攪拌翼45の回転数によるエッチング量分布に関するこれら傾向は再現性があるため、陽極酸化条件および攪拌条件の組み合わせにより、ウエハ面内のエッチング量（厚さ）分布をより均一にすることが可能である。

【0037】これらの事をまとめると、次のようになる。図14、15のようにウエハ全面が均等に電圧印加されていると、図16に示すように、陽極酸化時ににおいてウエハ面内でのエッチング量分布はフラットであり、

図17に示すように、エッチング時（陽極酸化時を除く）においてウエハ面内でのエッチング量は外周部が少なく、その結果、図18に示すように、ウエハ面内でのトータルのエッチング量は外周部が少ない。これに対し、図6、7に示す本例のようにウエハの外周部のみ電圧を印加すると、図19に示すように、陽極酸化時ににおいてウエハ面内でのエッチング量は外周部が多くなり、図20に示すように、エッチング時（陽極酸化時を除く）においてウエハ面内でのエッチング量は外周部が少なく、その結果、図21に示すように、ウエハ面内でのトータルのエッチング量分布はフラットになる。

【0038】以下、具体的数値を挙げながら説明する。陽極酸化電圧を9ボルト、その時間T1（図4参照）を15分、エッチング時間T2を29分とし、終了時の陽極酸化時間T3を3分とし、攪拌翼の回転数300rpmとし、陽極酸化の電圧・時間およびエッチング時の攪拌翼回転数をコントロールすることにより、エッチング量分布をフラットにできる。なお、T3については、エッチングの進行にはほとんど影響はない。

【0039】ここで、エッチング液として32wt%KOHを用い、液温を $110\pm 0.1^\circ\text{C}$ に温調した。上記条件で、元厚 $300\mu\text{m}$ のシリコンウエハをエッチングしたときの、ウエハ内の各ダイヤフラムのエッチング量分布を、図13に示す。図13において、本実施形態を実線で示し、破線にて、図14、15の均等給電方式を用いた比較例を示す。また、破線で示す比較例においては陽極酸化電圧5ボルト、陽極酸化時間15分、エッチング時間29分、攪拌回転数300rpmである。実線で示す本実施形態においては陽極酸化電圧9ボルト、陽極酸化時間15分、エッチング時間29分、攪拌回転数300rpmである。

【0040】この図13から、比較例に比べ本実施形態の方がエッチング量分布がフラットになっていることが分かる。その結果、本実施形態ではエッチング量バラツキを $\pm 1\mu\text{m}$ 以下に抑えることができる。

【0041】なお、図13の場合は、陽極酸化電圧のみを変えることによりウエハ面内でのエッチング量分布のフラット化を図る場合であったが、陽極酸化時間のみを変えたり、攪拌翼45の回転数のみを変えたり、あるいは、陽極酸化電圧と陽極酸化時間と攪拌翼45の回転数のうちの2つを変えたり、あるいは、3要素とも変えることによりウエハ面内でのエッチング量分布のフラット化を図ってもよい。

【0042】このように、本実施の形態は、下記の特徴を有する。

(イ) シリコンウエハ3をエッチング液に浸漬した状態で電圧を印加しないか、あるいは、エッチングが進行するような電圧を印加してシリコンウエハ3の一方の面からエッチングを行いシリコンウエハ3の一部領域に凹部4を形成する工程と、前記工程の前または後の少なくとも

も一方において同じくシリコンウエハ3をエッチング液に浸漬した状態でシリコンウエハ3に正電圧を印加してシリコンを陽極酸化する工程との、それぞれの工程におけるウエハ面内のエッチング量分布の傾向を相殺することにより、面内のエッチング量を制御するようにした。その結果、ウエハ中央部と外周部のエッチング量バラツキが低減され、ウエハ面内での薄肉部の厚さ精度を高くすることができる。

【0043】より具体的には、陽極酸化する際、ウエハの中央部と外周部で印加電圧に差異を生じさせるべく、シリコンウエハの外周部にのみ給電用電極9を配置して、エッチング時のエッチング量バラツキを相殺する。

【0044】また、ウエハ面内のエッチング量（厚さ）のバラツキがエッチング時のウエハ上の液温分布によって生じるので、エッチングのための攪拌翼回転数（エッチング液の攪拌強度）、陽極酸化の際の印加電圧、エッチング時間のうちの少なくともいずれか1つを調整することにより、ウエハ面内でのエッチング量をより均一化することができる。

【0045】これまでの説明においては半導体圧力センサのダイヤフラムを形成する場合について説明したが、半導体加速度センサの薄肉部（梁部）を形成する場合等に用いることができる。

【0046】また、これまでの説明においてはPN接合を有するシリコンウエハでのP層をエッチングする場合であったが、PN接合の無いシリコンウエハ上に被エッチング面に通じる電極を設け当該電極を通じてシリコンウエハのエッチング面に正電圧を印加することによりエッチングを行う場合に適用してもよい。

【図面の簡単な説明】

【図1】実施の形態における半導体圧力センサの断面図。

【図2】エッチング装置の概略図。

【図3】エッチング装置の一部拡大図。

【図4】エッチング動作を説明するための工程図。

【図5】エッチング動作を説明するためのタイムチャート。

【図6】シリコンウエハの平面図。

【図7】図6のA-A断面図。

【図8】エッチング動作を説明するための図。

【図9】印加電圧とエッチングレートの関係を示す図。

【図10】エッチング量の分布図。

【図11】エッチング量の分布図。

【図12】エッチング量の分布図。

【図13】ウエハ面内のエッチング分布図。

【図14】シリコンウエハの平面図。

【図15】図14のB-B断面図。

【図16】ウエハ面内のエッチング分布図。

【図17】ウエハ面内のエッチング分布図。

【図18】ウエハ面内のエッチング分布図。

【図19】ウエハ面内のエッチング分布図。

【図20】ウエハ面内のエッチング分布図。

【図21】ウエハ面内のエッチング分布図。

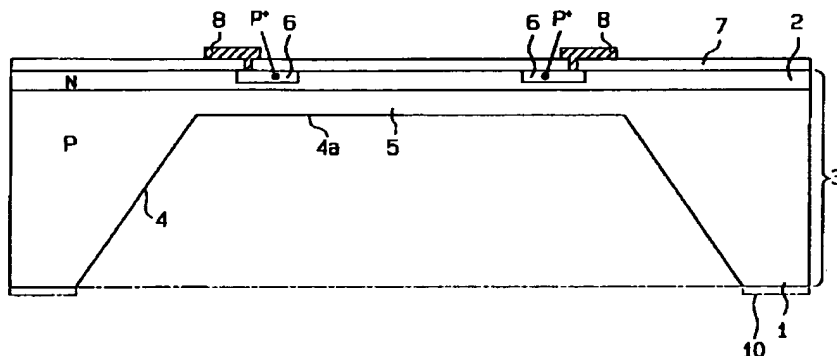
【図22】エッチングを説明するための断面図。

【図23】エッチングを説明するための断面図。

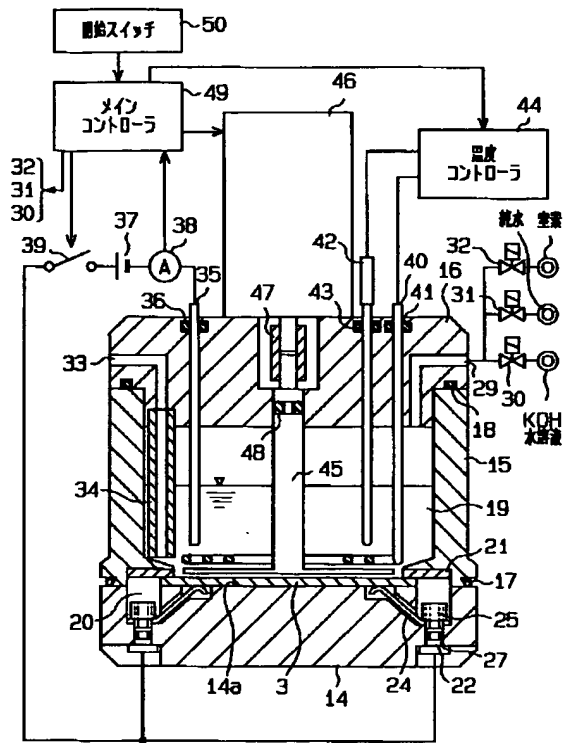
【符号の説明】

1…P型シリコン基板、2…N型エピタキシャル層、3…半導体基板（シリコンウエハ）、4…凹部、19…KOH水溶液

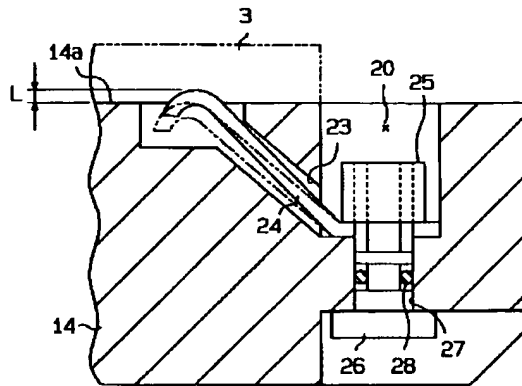
【図1】



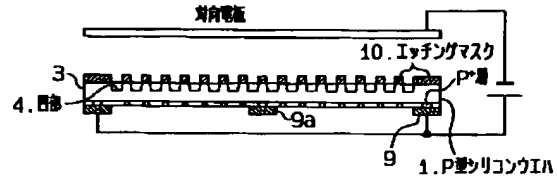
【図2】



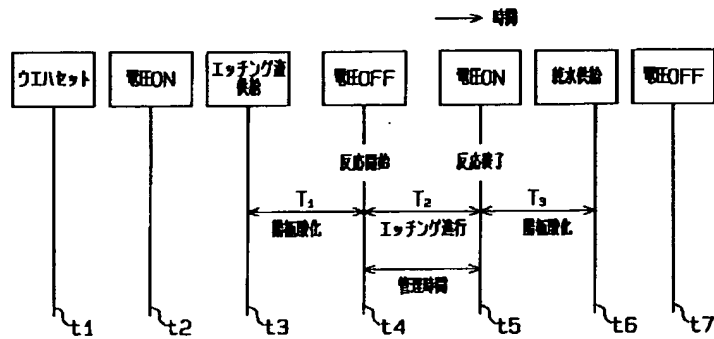
【図3】



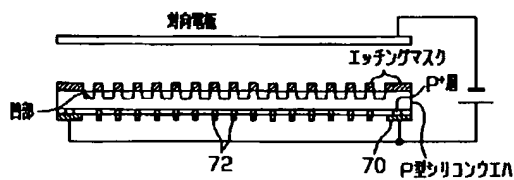
【図7】



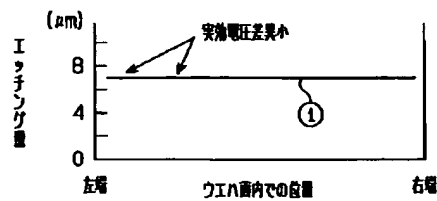
【図4】



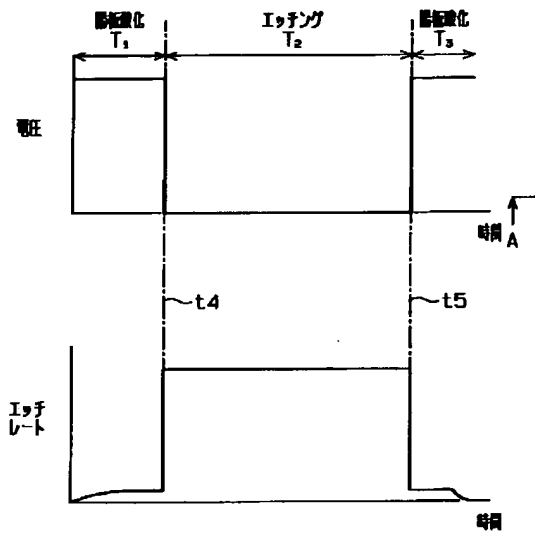
【図15】



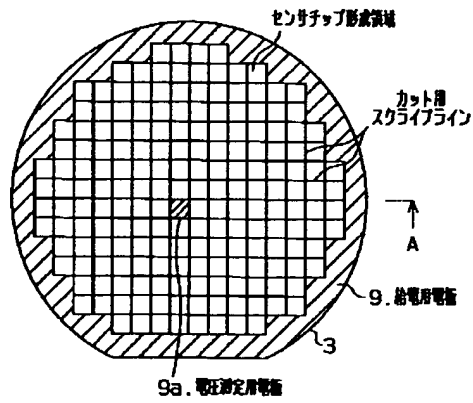
【図16】



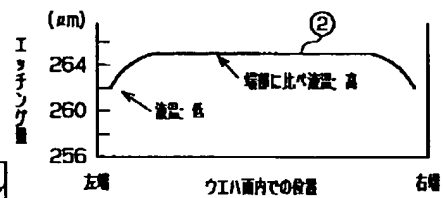
【図5】



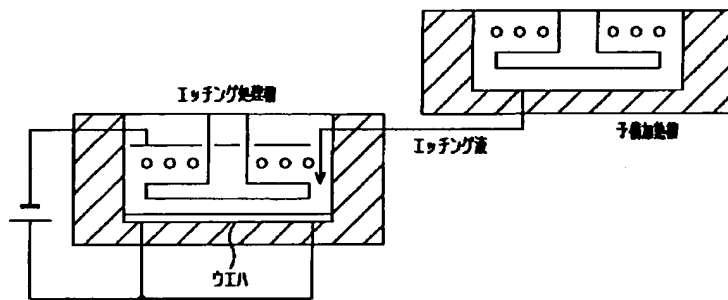
【図6】



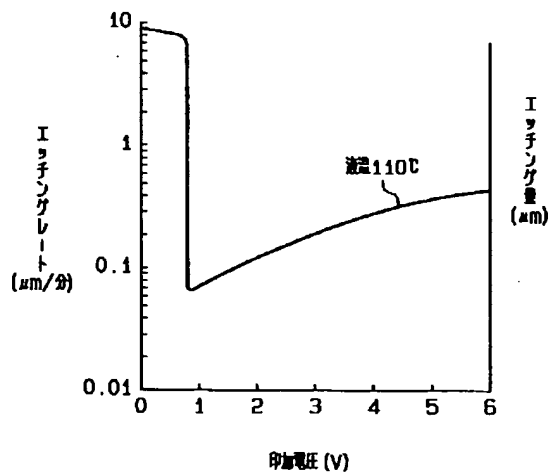
【図17】



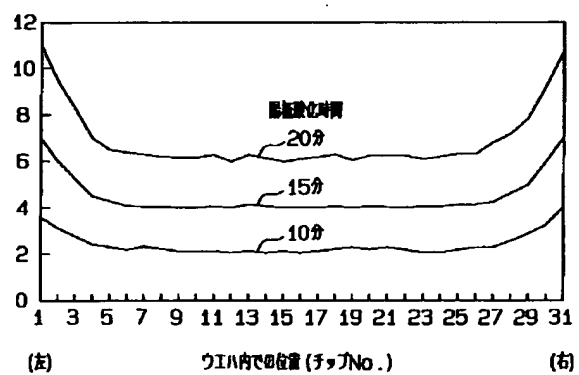
【図8】



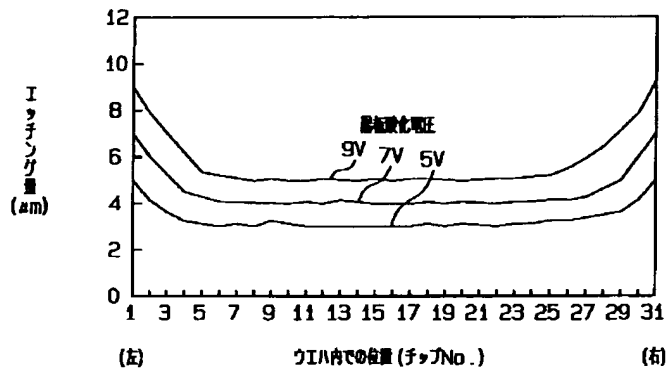
【図9】



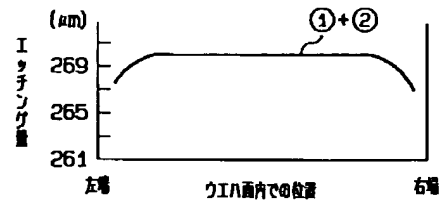
【図10】



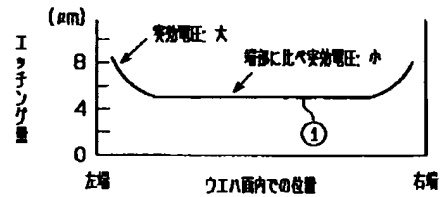
【図11】



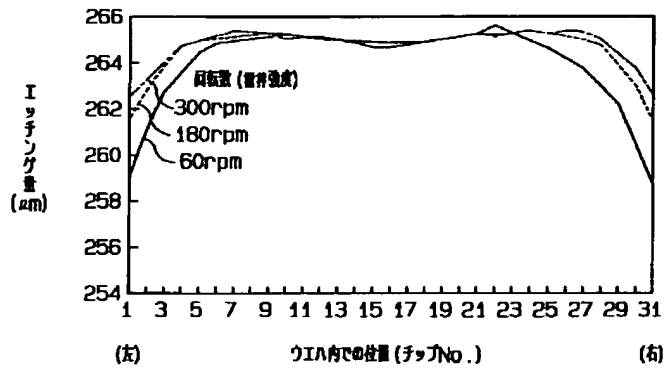
【図18】



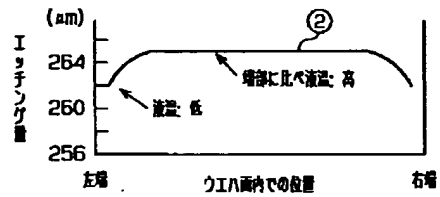
【図19】



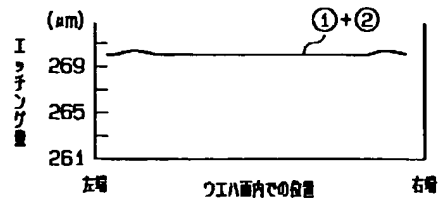
【図12】



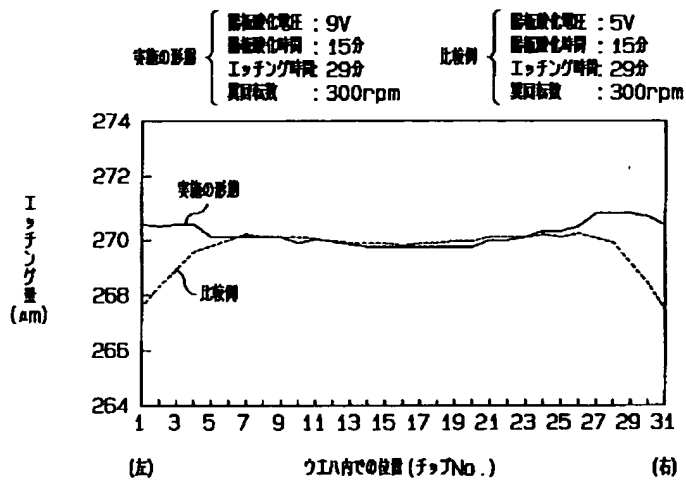
【図20】



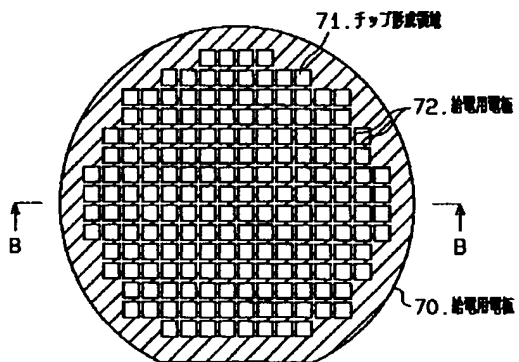
【図21】



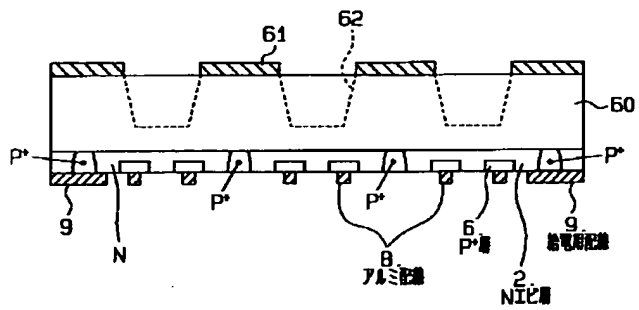
【図13】



【図14】



【図22】



【図23】

